



(51) 国際特許分類6 G09F 9/30, H01L 33/00, H05B 33/22		A1	(11) 国際公開番号 WO99/10861
			(43) 国際公開日 1999年3月4日(04.03.99)
(21) 国際出願番号 PCT/JP98/03663			
(22) 国際出願日 1998年8月18日(18.08.98)			
(30) 優先権データ 特願平9/225433 1997年8月21日(21.08.97) JP			
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)		(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 湯田坂一夫(YUDASAKA, Ichio)[JP/JP] 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		添付公開書類 国際調査報告書	
(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)			
(54) Title: ACTIVE MATRIX DISPLAY			
(54) 発明の名称 アクティブマトリクス型表示装置			
(57) Abstract			
<p>An active matrix display (1) in which a thick insulating film is formed surrounding an organic semiconductor film to suppress a parasitic capacitance and prevent the occurrence of breakage in the opposing electrodes formed on the upper layer of the insulating film, and which is provided with bank layers (bank) made of resist films and formed along a data line (sig) and a scanning line (gate), and an electrode (op) opposed to a thin-film light-emitting element (40) and laminated on the upper layer of a bank layer (bank), thereby to suppress the capacitance parasitic on the data line (sig). An interrupted portion (off) is formed in a bank layer (bank), and is a flat portion without having a large step caused by the bank layer (bank) and, hence, the opposing electrode (op) is not broken in this portion. When an organic semiconductor film (43) is to be formed by the ink-jet method, the liquid material jetted from the ink-jet head is blocked by the bank layer (bank).</p>			

(57)要約

有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑え、かつ、絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置を提供することを目的に、アクティブマトリクス型表示装置(1)では、まず、データ線(sig)および走査線(gate)に沿ってレジスト膜からなるバンク層(bank)を設け、このバンク層(bank)の上層側に薄膜発光素子(40)の対向電極(op)を積層することにより、データ線(sig)に寄生する容量を抑える。また、バンク層(bank)には途切れ部分(off)を形成する。この途切れ部分(off)は、バンク層(bank)に起因する大きな段差のない平坦部分であるので、この部分では対向電極(op)の断線がない。有機半導体膜(43)をインクジェット法で形成する際にはインクジェットヘッドから吐出した液状の材料をバンク層(bank)でせき止めること。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア	FI フィンランド	LK スリランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レント	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スリランカ
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB ベルバドス	GH ガーナ	MC モナコ	TG トーゴー
BE ベルギー	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BF ブルギリア・ファン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	ML マリ	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	MN モンゴル	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MR モーリタニア	UG ウガンダ
CA カナダ	ID インドネシア	MW マラウイ	US 米国
CF 中央アフリカ	IE アイルランド	IL イスラエル	UZ ウズベキスタン
CG コンゴー	IN インド	MX メキシコ	VN ヴィエトナム
CH スイス	IS アイスランド	NE ニジエール	YU ユーゴスラビア
CI コートジボアール	IT イタリア	NL オランダ	ZW ジンバブエ
CM カメルーン	JP 日本	NO ノルウェー	
CN 中国	KE ケニア	NZ ニュージーランド	
CU キューバ	KG キルギスタン	PL ポーランド	
CY キプロス	KP 北朝鮮	PT ポルトガル	
CZ チェコ	KR 韓国	RO ルーマニア	
DE ドイツ	KZ カザフスタン	RU ロシア	
DK デンマーク	LC セントルシア	SD スーダン	
EE エストニア	LI リヒテンシュタイン	SE スウェーデン	
ES スペイン		SG シンガポール	

明細書

アクティブマトリクス型表示装置

5 技術分野

本発明は、有機半導体膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの薄膜発光素子を薄膜トランジスタ（以下、TFTという。）で駆動制御するアクティブマトリクス型表示装置に関するものである。

背景技術

EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないのである。

第13図は、このような電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示すアクティブマトリクス型表示装置1Aでは、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとによってマトリクス状に形成された複数の画素7とが構成されている。データ線sigおよび走査線gateに対してはデータ側駆動回路3および走査側駆動回路4が構成されている。各々の画素7には、走査線gateを介して走査信号が供給される

導通制御回路 50 と、この導通制御回路 50 を介してデータ線 sig から供給される画像信号に基づいて発光する薄膜発光素子 40 とが構成されている。ここに示す例において、導通制御回路 50 は、走査線 gate を介して走査信号がゲート電極に供給される第 1 の TFT 20 と、この第 1 の TFT 20 を介してデータ線 sig から供給される画像信号を保持する保持容量 cap と、この保持容量 cap によって保持された画像信号がゲート電極に供給される第 2 の TFT 30 とから構成されている。第 2 の TFT 30 と薄膜発光素子 40 とは、詳しくは後述する対向電極 op と共に通給電線 com との間に直列に接続している。この薄膜発光素子 40 は、第 2 の TFT 30 がオン状態になったときには共通給電線 com から駆動電流が流れ込んで発光するとともに、この発光状態は保持容量 cap によって所定の期間、保持される。

このような構成のアクティブマトリクス型表示装置 1A では、第 14 図および第 15 図 (A)、(B) に示すように、いずれの画素 7においても、島状の半導体膜を利用して第 1 の TFT 20 および第 2 の TFT 30 が形成されている。第 1 の TFT 20 は、ゲート電極 21 が走査線 gate の一部として構成されている。第 1 の TFT 20 は、ソース・ドレイン領域の一方に第 1 層間絶縁膜 51 のコンタクトホールを介してデータ線 sig が電気的に接続し、他方にはドレイン電極 22 が電気的に接続している。ドレイン電極 22 は、第 2 の TFT 30 の形成領域に向けて延設されており、この延設部分には第 2 の TFT 30 のゲート電極 31 が第 1 の層間絶縁膜 51 のコンタクトホールを介して電気的に接続している。第 2 の TFT 30 のソース・ドレイン領域の一方には、第 1 の層間絶縁膜 51 のコンタクトホールを介して中継電極 35 が電気的に接続し、この中継電極 35 には第 2 の層間絶縁膜 52 のコンタクトホールを介して

薄膜発光素子 4 0 の画素電極 4 1 が電気的に接続している。

画素電極 4 1 は、第 1 4 図および第 1 5 図 (B) 、 (C) からわかるように各画素 7 每に独立して形成されている。画素電極 4 1 の上層側には、有機半導体膜 4 3 および対向電極 o p がこの順に積層 5 されている。有機半導体膜 4 3 は画素 7 每に形成されているが、複数の画素 7 に跨がってストライプ状に形成される場合もある。第 1 3 図からわかるように、対向電極 o p は、画素 7 が構成されている表示部 1 1 だけでなく、透明基板 1 0 の略全面に形成されている。

再び、第 1 4 図および第 1 5 図 (A) において、第 2 の T F T 3 0 のソース・ドレイン領域のもう一方には、第 1 の層間絶縁膜 5 1 のコンタクトホールを介して共通給電線 c o m が電気的に接続している。共通給電線 c o m の延設部分 3 9 は、第 2 の T F T 3 0 のゲート電極 3 1 の延設部分 3 6 に対して、第 1 の層間絶縁膜 5 1 を誘電体膜として挟んで対向し、保持容量 c a p を構成している。

しかしながら、前記のアクティブマトリクス型表示装置 1 A において、画素電極 4 1 に対向する対向電極 o p は、液晶アクティブマトリクス型表示装置と相違して、同じ透明基板 1 0 上においてデータ線 s i g との間に第 2 の層間絶縁膜 5 2 しか有しないので、データ線 s i g には大きな容量が寄生し、データ側駆動回路 3 の負荷が 20 大きい。

そこで、本願発明者は、第 1 3 図、第 1 4 図、および第 1 6 図 (A) 、 (B) 、 (C) に示すように、対向電極 o p とデータ線 s i g などとの間に厚い絶縁膜 (バンク層 b a n k / 左下がりの斜線を広いピッチで付した領域) を設け、データ線 s i g に寄生する容量を低減することを提案する。併せて、この絶縁膜 (バンク層 b a n k) で有機半導体膜 4 3 の形成領域を囲むことによって、インクジェットヘッドから吐出した液状の材料 (吐出液) から有機半導体

膜 4 3 を形成する際に吐出液をバンク層 bank でせき止め、吐出液が側方にはみ出すことを防止することを提案する。しかし、かかる構造を採用すると、厚いバンク層 bank の存在に起因して大きな段差 bb が形成され、このバンク層 bank の上層に形成される
5 対向電極 op が前記の段差 bb の部分で断線しやすい。このような段差 bb で対向電極 op に断線が生じると、この部分の対向電極 op は周囲の対向電極 op から絶縁状態になって表示の点欠陥あるいは線欠陥を発生させる。また、データ側駆動回路 3 や走査側駆動回路 4 の表面を覆うバンク層 bank の外周縁に沿って対向電極 op
10 に断線が起こると、表示部 1 1 の対向電極 op と端子 1 2 との間が完全に絶縁状態になって表示が全くできなくなる。

そこで、本発明の課題は、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えて、この厚い絶縁膜の上層に形成する対向電極に断線などが発生しないアクティブマトリクス型表示装置
15 を提供することにある。

発明の開示

上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数の
20 データ線と、該データ線と前記走査線とによってマトリクス状に形成された複数の画素からなる表示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲート電極に供給される TFT を含む導通制御回路と、画素毎に形成された画素電極、該画素電極の上層側に積層された有機半導体膜、および該有機半導体膜の上層側において少なくとも前記表示部の全面に形成された対向電極を具備する薄膜発光素子とを備え、前記データ線から前記導通制御回路を介して供給される画像信号に基づいて前記薄膜発光素子が発光するアク

ティプマトリクス型表示装置において、前記有機半導体膜の形成領域は、前記対向電極の下層側に前記有機半導体膜よりも厚く形成された絶縁膜で区画されているとともに、該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とする。

本発明において、対向電極は少なくとも表示部の全面に形成され、データ線と対向する状態にあるため、このままではデータ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。その結果、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜を形成すると、この絶縁膜は大きな段差を形成し、その上層側に形成される対向電極に断線が発生させるおそれがあるが、本発明では、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電気的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電気的に接続しているので、対向基板の断線という不具合が発生しない。

それ故、アクティブマトリクス型表示装置において、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

本発明では、前記導通制御回路は、前記走査信号がゲート電極に供給される第1のTFT、および該第1のTFTを介してゲート電極が前記データ線に接続する第2のTFTを備え、該第2のTFT

と前記薄膜発光素子は、前記データ線および走査線とは別に構成された駆動電流供給用の共通給電線と前記対向電極との間に直列に接続していることが好ましい。すなわち、導通制御回路を1つTFTと保持容量で構成することも可能ではあるが、表示品位を高くする
5 という観点からすれば各画素の導通制御回路を2つのTFTと保持容量で構成することが好ましい。

本発明において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記有機半導体膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層として利用することが好ましい。それには、前記絶縁膜は、膜厚が1μm以上であることが好ましい。
10

本発明においては、前記絶縁膜は、前記データ線および前記走査線に沿って形成されていることにより前記有機半導体膜の形成領域の周りを囲んでいる場合には、前記データ線の延設方向で隣り合う画素の間、前記走査線の延設方向で隣り合う画素の間、またはそれ
15 から双方の方向で隣り合う画素の間に相当する部分に前記途切れ部分を構成する。

上記の形態と違って、前記絶縁膜は前記データ線に沿ってストライプ状に延設される場合があり、この場合には、該延設方向の少なくとも一方の端部に前記途切れ部分を構成してもよい。

20 本発明において、前記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることが好ましい。すなわち、前記画素電極の形成領域のうち、前記導通制御回路の形成されていない平坦部分のみで前記の厚い絶縁膜を開口し、この内側のみに有機半導体膜を形成することが好ましい。このよう
25 に構成すると、有機半導体膜の膜厚ばらつきに起因する表示むらを防止できる。また、画素電極が形成されていても導通制御回路と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導

体膜が発光しても、この光は導通制御回路に遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分に前記の厚い絶縁膜を形成し、そこに駆動電流が流れるのを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

10 本発明では、前記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ側駆動回路、および前記走査線を介して走査信号を供給する走査側駆動回路を有し、該走査側駆動回路および前記データ側駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査側駆動回路の形成領域と前記データ側駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることが好ましい。このように構成すると、データ側駆動回路や走査側駆動回路の表面を覆う絶縁膜の外周縁に沿って対向電極に断線が起きても、表示部側の対向電極と基板外周側の対向電極とは該絶縁膜に起因する段差のない平坦部分を介して接続し、表示部側の対向電極と基板外周側の対向電極との間の電気的接続を確保できる。

25 本発明において、前記絶縁膜をレジスト膜などの有機材料から構成した場合には厚い膜を容易に形成できる。これに対して、前記絶縁膜を無機材料から構成した場合には、有機半導体膜と接触した状態にあっても、有機半導体膜の変質を防止することができる。

図面の簡単な説明

第1図は、本発明の実施の形態1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

第2図は、第1図に示すアクティブマトリクス型表示装置に構成5されている画素の1つを抜き出して示す平面図である。

第3図(A)、(B)、(C)はそれぞれ、第2図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第4図は、本発明の実施の形態1の変形例1に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図10である。

第5図は、第4図に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

第6図(A)、(B)、(C)はそれぞれ、第5図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第7図は、本発明の実施の形態1の変形例2に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

第8図は、第7図に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

第9図(A)、(B)、(C)はそれぞれ、第8図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第10図は、本発明の実施の形態2に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

第11図は、第10図に示すアクティブマトリクス型表示装置に構成25されている画素の1つを抜き出して示す平面図である。

第12図(A)、(B)、(C)はそれぞれ、第11図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第13図は、従来および本発明の比較例に係るアクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。

第14図は、第13図に示すアクティブマトリクス型表示装置に構成されている画素の1つを抜き出して示す平面図である。

第15図(A)、(B)、(C)はそれぞれ、第14図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第16図(A)、(B)、(C)はそれぞれ、第14図の別のA-A'断面図、B-B'断面図、およびC-C'断面図である。

10 [符号の説明]

1	アクティブマトリクス型表示装置
2	表示部
3	データ側駆動回路
4	走査側駆動回路
15 7	画素
10	透明基板
12	端子
20 20	第1のTFT
21	第1のTFTのゲート電極
20 30	第2のTFT
31	第2のTFTのゲート電極
40	発光素子
41	画素電極
43	有機半導体
25 b a n k	バンク層(絶縁膜)
c a p	保持容量
c o m	共通給電線

g a t e 走査線
o p 対向電極
s i g データ線
o f f バンク層の途切れ部分

5

発明を実施するための最良の形態

図面を参照して、本発明の実施の形態を説明する。なお、以下の説明において、第13図ないし第16図を説明した要素と共に通する部分には同一の符号を付してある。

10 [実施の形態1]

(全体構成)

第1図は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。第2図は、それに構成されている画素の1つを抜き出して示す平面図、第3図(A)、(B)、(C)はそれぞれ第2図のA-A'断面図、B-B'断面図、およびC-C'断面図である。

第1図に示すアクティブマトリクス型表示装置1では、その基体たる透明基板10の中央部分が表示部11とされている。透明基板10の外周部分のうち、データ線sigの端部には画像信号を出力するデータ側駆動回路3が構成され、走査線gateの端部には走査信号を出力する走査側駆動回路4が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ回路、レベルシフタ回路、アナログスイッチ回路などを構成している。表示部11では、液晶アクティブマトリクス型表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複

数のデータ線 *sig* と、データ線 *sig* と走査線 *gate* とによってマトリクス状に形成された複数の画素 7 とが構成されている。

各々の画素 7 には、走査線 *gate* を介して走査信号が供給される導通制御回路 50 と、この導通制御回路 50 を介してデータ線 *sig* から供給される画像信号に基づいて発光する薄膜発光素子 40 とが構成されている。ここに示す例においては、導通制御回路 50 は、走査線 *gate* を介して走査信号がゲート電極に供給される第 1 の TFT 20 と、この第 1 の TFT 20 を介してデータ線 *sig* から供給される画像信号を保持する保持容量 *cap* と、この保持容量 *cap* によって保持された画像信号がゲート電極に供給される第 2 の TFT 30 とから構成されている。第 2 の TFT 30 と薄膜発光素子 40 とは、詳しくは後述する対向電極 *op* と共に通給電線 *com*との間に直列に接続している。

このような構成のアクティブマトリクス型表示装置 1 では、第 2 図および第 3 図 (A)、(B) に示すように、いずれの画素 7 においても、島状の半導体膜 (シリコン膜) を利用して第 1 の TFT 20 および第 2 の TFT 30 が形成されている。

第 1 の TFT 20 は、ゲート電極 21 が走査線 *gate* の一部として構成されている。第 1 の TFT 20 は、ソース・ドレイン領域の一方に第 1 層間絶縁膜 51 のコンタクトホールを介してデータ線 *sig* が電気的に接続し、他方にはドレイン電極 22 が電気的に接続している。ドレイン電極 22 は、第 2 の TFT 30 の形成領域に向けて延設されており、この延設部分には第 2 の TFT 30 のゲート電極 31 が第 1 の層間絶縁膜 51 のコンタクトホールを介して電気的に接続している。

第 2 の TFT 30 のソース・ドレイン領域の一方には、第 1 の層間絶縁膜 51 のコンタクトホールを介して、データ線 *sig* と同時

形成された中継電極 3 5 が電気的に接続し、この中継電極 3 5 には第 2 の層間絶縁膜 5 2 のコンタクトホールを介して薄膜発光素子 4 0 の I T O 膜からなる透明な画素電極 4 1 が電気的に接続している。

第 2 図および第 3 図 (B) 、 (C) からわかるように、画素電極 5 4 1 は各画素 7 每に独立して形成されている。画素電極 4 1 の上層側には、ポリフェニレンビニレン (P P V) などからなる有機半導体膜 4 3 、およびリチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極 o p がこの順に積層され、薄膜発光素子 4 0 が構成されている。有機半導体膜 4 3 は各画素 7 に形成されているが、複数の画素 7 に跨がってストライプ状に形成される場合もある。

対向電極 o p は、表示部 1 1 全体と、透明基板 1 0 の端子 1 2 が形成されている部分の周囲を除いた領域とに形成されている。この端子 1 2 は、対向電極 o p と同時形成された配線 (図示せず。) に接続する対向電極 o p の端子を含んでいる。

15 なお、薄膜発光素子 4 0 としては、正孔注入層を設けて発光効率 (正孔注入率) を高めた構造、電子注入層を設けて発光効率 (電子注入率) を高めた構造、正孔注入層および電子注入層の双方を形成した構造を採用することもできる。

再び、第 2 図および第 3 図 (A) において、第 2 の T F T 3 0 の 20 ソース・ドレイン領域のもう一方には、第 1 の層間絶縁膜 5 1 のコンタクトホールを介して共通給電線 c o m が電気的に接続している。共通給電線 c o m の延設部分 3 9 は、第 2 の T F T 3 0 のゲート電極 3 1 の延設部分 3 6 に対して、第 1 の層間絶縁膜 5 1 を誘電体膜として挟んで対向し、保持容量 c a p を構成している。

25 このようにアクティブマトリクス型表示装置 1 において、走査信号によって選択されて第 1 の T F T 2 0 がオン状態になると、データ線 s i g からの画像信号が第 1 の T F T 2 0 を介して第 2 の T F

T 3 0 のゲート電極 3 1 に印加されるとともに、画像信号が第 1 の TFT 2 0 を介して保持容量 cap に書き込まれる。その結果、第 2 の TFT 3 0 がオン状態になると、対向電極 o p および画素電極 4 1 をそれぞれ負極および正極として電圧が印加され、印加電圧が 5 しきい値電圧を越えた領域で有機半導体膜 4 3 に流れる電流（駆動電流）が急激に増大する。従って、発光素子 4 0 は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子 4 0 の光は、対向電極 o p に反射されて透明な画素電極 4 1 および透明基板 1 0 を透過して出射される。このような発光を行うための駆動 10 電流は、対向電極 o p 、有機半導体膜 4 3 、画素電極 4 1 、第 2 の TFT 3 0 、および共通給電線 com から構成される電流経路を流れるため、第 2 の TFT 3 0 がオフ状態になると、流れなくなる。但し、第 2 の TFT 3 0 のゲート電極は、第 1 の TFT 2 0 がオフ状態になっても、保持容量 cap によって画像信号に相当する電位 15 に保持されるので、第 2 の TFT 3 0 はオン状態のままである。それ故、発光素子 4 0 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量 cap に書き込まれて、第 2 の TFT 3 0 がオフ状態になるまで維持される。

（バンク層の構造）

20 このように構成したアクティブマトリクス型表示装置 1 において、本形態では、データ線 sig には大きな容量が寄生することを防止するため、第 1 図、第 2 図、および第 3 図 (A) 、 (B) 、 (C) に示すように、データ線 sig および走査線 gate に沿って、レジスト膜、あるいはポリイミド膜からなる厚い絶縁膜（バンク層 bank / 左下がりの斜線を広いピッチで付した領域）を設け、このバンク層 bank の上層側に対向電極 o p を形成してある。このため、データ線 sig と対向電極 o p との間には、第 2 の層間絶縁膜

5 2と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

5 また、第1図に示すように、透明基板10の周辺領域（表示部11の外側領域）にもバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。対向電極opは、少なくとも表示部11に形成される必要があり、駆動回路領域に形成する必要はない。しかし、対向電極opは、通常、マスクスパッタ法で形成されるため、合わせ精度が悪く、対向電極opと駆動回路とが重なることがある。しかるに本形態では、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成されている。このため、中継電極35と重なる領域には有機半導体膜43が形成されない。すなわち、画素電極41の形成領域のうち、平坦な部分のみに有機半導体膜43が形成されるので、有機半導体膜43は一定の膜厚で形成され、表示むらを起こさない。また、中継電極35と重なる領域にバンク層bankがないと、この部分でも対向電極opとの間に駆動電流が流れて有機半導体膜43が発光する。しかし、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない

部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。その結果として、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

さらにまた、本形態では、データ線sigおよび走査線gateに沿ってバンク層bankを形成してあるため、いずれの画素7も厚いバンク層bankで囲まれている。このため、このままでは、各画素7の対向電極opはバンク層bankを乗り越えて隣接する画素7の対向電極opと接続することになる。しかるに本形態では、バンク層bankには、データ線sigの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、走査線gateの延設方向で隣り合う画素7の間に相当する部分にも途切れ部分offが形成されている。さらに、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれぞれに途切れ部分offが形成されている。

このような途切れ部分offは厚いバンク層bankがないので、バンク層bankに起因する大きな段差のない平坦部分であり、この部分に形成されている対向電極opは断線することができない。従って、各画素7の対向電極7は、バンク層bankに起因する段差のない平坦部分を介して確実に接続していることになる。それ故、画素7の周りに厚い絶縁膜（バンク層bank）を形成して寄生容量などを抑えて、この厚い絶縁膜（バンク層bank）の上層に形成する対向電極opに断線が発生しない。

しかも、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 bank は、走査側駆動回路 4 の形成領域とデータ側駆動回路 3 の形成領域との間に相当する位置に途切れ部分 o f f が形成されている。このため、表示部 1 1 の側の対向電極 o p 5 と基板外周側の対向電極 o p とは、バンク層 bank の途切れ部分 o f f を介して接続し、この途切れ部分 o f f もバンク層 bank に起因する段差のない平坦部分である。従って、この途切れ部分 o f f に形成されている対向電極 o p は断線することができないので、表示部 1 1 の側の対向電極 o p と基板外周側の対向電極 o p とは、バンク層 bank の途切れ部分 o f f を介して確実に接続し、この基板外周側の対向電極 o p に配線接続されている端子 1 2 と表示部 1 10 1 の対向電極 o p とは確実に接続している。

なお、バンク層 bank を黒色のレジストによって形成すると、バンク層 bank はブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係るアクティブマトリクス型表示装置 1 では、対向電極 o p が透明基板 1 0 の表面側において画素 7 の全面に形成されるため、対向電極 o p での反射光がコントラスト比を低下させる。しかるに寄生容量を防止する機能を担うバンク層 bank を黒色のレジストで構成すると、バンク層 bank はブラックマトリクスとしても機能し、対向電極 o p からの反射光を遮るので、コントラスト比が向上する。

(アクティブマトリクス型表示装置の製造方法)

このように形成したバンク層 bank は、有機半導体膜 4 3 の形成領域を囲むように構成されているので、アクティブマトリクス型表示装置の製造工程では、インクジェットヘッドから吐出した液状の材料（吐出液）から有機半導体膜 4 3 を形成する際に吐出液をせき止め、吐出液が側方にはみ出すことを防止する。なお、以下に説

明するアクティブマトリクス型表示装置 1 の製造方法において、透明基板 10 上に第 1 の TFT20 および第 2 の TFT30 を製造するまでの工程は、液晶アクティブマトリクス型表示装置 1 のアクティブマトリクス基板を製造する工程と略同様であるため、第 3 図

5 (A)、(B)、(C) を参照してその概略を簡単に説明する。

まず、透明基板 10 に対して、必要に応じて、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 2000~5000 オングストロームのシリコン酸化膜からなる下地保護膜 (図示せず。) を形成した後、下地保護膜の表面にプラズマ CVD 法により厚さが約 300~700 オングストロームのアモルファスのシリコン膜からなる半導体膜を形成する。次にアモルファスのシリコン膜からなる半導体膜に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜をポリシリコン膜に結晶化する。

15 次に、半導体膜をバターニングして島状の半導体膜とし、その表面に対して、TEOS (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 600~1500 オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜 57 を形成する。

20 次に、アルミニウム、タンタル、モリブデン、チタン、タンゲステンなどの金属膜からなる導電膜をスパッタ法により形成した後、バターニングし、ゲート電極 21、31、およびゲート電極 31 の延設部分 36 を形成する (ゲート電極形成工程)。この工程では走査線 gate も形成する。

25 この状態で、高濃度のリンイオンを打ち込んで、ゲート電極 21、31 に対して自己整合的にソース・ドレイン領域を形成する。なお、不純物が導入されなかった部分がチャネル領域となる。

次に、第1の層間絶縁膜51を形成した後、各コンタクトホールを形成し、次に、データ線sig、ドレイン電極22、共通給電線com、共通給電線comの延設部分39、および中継電極35を形成する。その結果、第1のTFT20、第2のTFT30、および保持容量capが形成される。

次に、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、バターニングし、コンタクトホールを介して第2のTFT30のソース・ドレイン領域に電気的に接続する画素電極41を画素7毎に形成する。

次に、第2の層間絶縁膜52の表面側にレジスト層を形成した後、このレジストを走査線gateおよびデータ線sigに沿って残すようにバターニングし、バンク層bankを形成する。また、バンク層bankの所定部分には途切れ部分offを形成しておく。このとき、データ線sigに沿って残すレジスト部分は共通給電線comを覆うように幅広とする。その結果、発光素子40の有機半導体膜43を形成すべき領域はバンク層bankに囲まれる。

次に、バンク層bankでマトリクス状に区画された領域内にインクジェット法を利用してR、G、Bに対応する各有機半導体膜43を形成していく。それには、バンク層bankの内側領域に対してインクジェットヘッドから、有機半導体膜43を構成するための液状の材料（前駆体）を吐出し、それをバンク層bankの内側領域で定着させて有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これにに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、たとえ有機半導体膜43の形成領域を区画するバンク層bankに途切れ部分offがあったとしても、かかる途切れ部分off

は狭いので、有機半導体膜 4 3 の塗布領域はバンク層 bank によって確実に規定され、隣接する画素 7 にはみ出ることがない。それ故、有機半導体膜 4 3などを所定領域内だけに形成できる。この工程において、インクジェットヘッドから吐出した前駆体は表面張力 5 の影響で約 2 μm ないし約 4 μm の厚さに盛り上がるため、バンク層 bank は約 1 μm ないし約 3 μm の厚さが必要である。なお、定着した後の有機半導体膜 4 3 の厚さは約 0. 05 μm から約 0. 2 μm である。なお、予めバンク層 bank からなる隔壁が 1 μm 以上の高さであれば、バンク層 bank が撥水性でなくても、バンク層 bank 10 は隔壁として十分に機能する。かかる厚いバンク層 bank を形成しておけば、インクジェット法に代えて、塗布法で有機半導体膜 4 3 を形成する場合でもその形成領域を規定できる。

かかる後には、透明基板 1 0 の略全面に対向電極 op を形成する。このような製造方法によれば、インクジェット法を利用して所定 15 の領域に R、G、B に対応する各有機半導体膜 4 3 を形成していくので、フルカラーのアクティブマトリクス型表示装置 1 を高い生産性で製造できる。

なお、第 1 図に示すデータ側駆動回路 3 や走査側駆動回路 4 にも TFT が形成されるが、これらの TFT は前記の画素 7 に TFT を 20 形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する TFT も、画素 7 の TFT と同一の層間に形成されることになる。また、前記第 1 の TFT 2 0 、および第 2 の TFT 3 0 については、双方が N 型、双方が P 型、一方が N 型で他方が P 型のいずれでもよいが、このようないずれの組合せであっても 25 周知の方法で TFT を形成していくので、その説明を省略する。

[実施の形態 1 の変形例 1]

第 4 図は、アクティブマトリクス型表示装置の全体のレイアウト

を模式的に示すブロック図である。第5図は、それに構成されている画素の1つを抜き出して示す平面図、第6図(A)、(B)、(C)はそれぞれ第5図のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

第4図、第5図、および第6図(A)、(B)、(C)に示すように、本形態のアクティブマトリクス型表示装置1でも、データ線sigおよび走査線gateに沿って、レジスト膜からなる厚い絶縁膜(バンク層bank/左下がりの斜線を広いピッチで付した領域)を設け、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間には、第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

また、透明基板10の周辺領域(表示部11の外側領域)にもバンク層bank(形成領域に斜線を付してある。)を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、画素電極41の形成領域のうち、導通制御回路50の中継電極35と重なる領域にもバンク層bankが形成

されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線 com の幅はその分、狭くてよい。

さらにまた、本形態では、データ線 sig および走査線 gate に沿ってバンク層 bank を形成してあるため、いずれの画素 7 も 5 バンク層 bank で囲まれている。このため、インクジェット法を利用して所定の領域に R、G、B に対応する各有機半導体膜 4 3 を形成していくので、フルカラーのアクティブマトリクス型表示装置 1 を高い生産性で製造できる。

しかも、バンク層 bank には、走査線 gate の延設方向で隣り合う画素 7 の間に相当する部分に途切れ部分 off が形成されている。また、バンク層 bank には、データ線 sig および走査線 gate の各延設方向の端部のそれれにも途切れ部分 off が形成されている。さらに、走査側駆動回路 4 およびデータ側駆動回路 3 の上層側に形成されたバンク層 bank は、走査側駆動回路 4 の 10 形成領域とデータ側駆動回路 3 の形成領域との間に相当する位置に途切れ部分 off が形成されている。従って、対向電極 op は、バンク層 bank に起因する段差のない平坦部分（途切れ部分 off ）を介して確実に接続し、断線することがない。

〔実施の形態 1 の変形例 2 〕

20 第 7 図は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。第 8 図は、それに構成されている画素の 1 つを抜き出して示す平面図、第 9 図 (A) 、 (B) 、 (C) はそれぞれ第 8 図の A-A' 断面図、 B-B' 断面図、および C-C' 断面図である。なお、本形態と実施の形態 1 とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

第 7 図、第 8 図、および第 9 図 (A) 、 (B) 、 (C) に示すよ

うに、本形態のアクティブマトリクス型表示装置 1 でも、データ線 sig および走査線 gate に沿って、レジスト膜からなる厚い絶縁膜（バンク層 bank / 左下がりの斜線を広いピッチで付した領域）を設け、このバンク層 bank の上層側に対向電極 o p を形成してある。このため、データ線 sig と対向電極 o p との間には、第 2 の層間絶縁膜 5 2 と厚いバンク層 bank が介在しているので、データ線 sig に寄生する容量が極めて小さい。それ故、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

また、透明基板 1 0 の周辺領域（表示部 1 1 の外側領域）にもバンク層 bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 bank によって覆われている。このため、これらの駆動回路の形成領域に対して対向電極 o p が重なる状態にあっても、駆動回路の配線層と対向電極 o p との間にバンク層 bank が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、画素電極 4 1 の形成領域のうち、導通制御回路 5 0 の中継電極 3 5 と重なる領域にもバンク層 bank が形成されているため、無駄な無効電流が流れることを防止できる。それ故、共通給電線 com の幅はその分、狭くてよい。

さらにまた、本形態では、データ線 sig および走査線 gate に沿ってバンク層 bank を形成してあるため、いずれの画素 7 もバンク層 bank で囲まれている。このため、インクジェット法を利用して所定の領域に R、G、B に対応する各有機半導体膜 4 3 を形成していくので、フルカラーのアクティブマトリクス型表示装

置 1 を高い生産性で製造できる。

しかも、バンク層bankには、データ線sigの延設方向で隣り合う画素7の間に相当する部分に途切れ部分offが形成されている。また、バンク層bankには、データ線sigおよび走査線gateの各延設方向の端部のそれそれにも途切れ部分offが形成されている。さらに、走査側駆動回路4およびデータ側駆動回路3の上層側に形成されたバンク層bankは、走査側駆動回路4の形成領域とデータ側駆動回路3の形成領域との間に相当する位置に途切れ部分offが形成されている。従って、対向電極opは、バンク層bankに起因する段差のない平坦部分（途切れ部分off）を介して確実に接続し、断線することがない。

[実施の形態 2]

第10図は、アクティブマトリクス型表示装置の全体のレイアウトを模式的に示すブロック図である。第11図は、それに構成されている画素の1つを抜き出して示す平面図、第12図（A）、（B）、（C）はそれぞれ第11図のA-A'断面図、B-B'断面図、およびC-C'断面図である。なお、本形態と実施の形態1とは基本的な構成が同一なので、共通する部分には同一の符号を各図に付してそれらの詳細な説明を省略する。

第10図、第11図、および第12図（A）、（B）、（C）に示すように、本形態のアクティブマトリクス型表示装置1では、データ線sigに沿って、レジスト膜からなる厚い絶縁膜（バンク層bank／左下がりの斜線を広いピッチで付した領域）がストライプ状に形成され、このバンク層bankの上層側に対向電極opを形成してある。このため、データ線sigと対向電極opとの間に第2の層間絶縁膜52と厚いバンク層bankが介在しているので、データ線sigに寄生する容量が極めて小さい。それ故、駆

動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

また、透明基板 10 の周辺領域（表示部 11 の外側領域）にもバンク層 bank（形成領域に斜線を付してある。）が形成されている。従って、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 bank によって覆われているため、これらの駆動回路の形成領域に対して対向電極 op が重なる状態にあっても、駆動回路の配線層と対向電極 op との間にバンク層 bank が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

さらに、本形態では、データ線 sig に沿ってバンク層 bank を形成してあるため、バンク層 bank でストライプ状に区画された領域内にインクジェット法を利用して R、G、B に対応する各有機半導体膜 43 をストライプ状に形成していけるので、フルカラーのアクティブマトリクス型表示装置 1 を高い生産性で製造できる。

しかも、バンク層 bank には、データ線 sig の延設方向の端部に途切れ部分 off が形成されている。従って、各画素 7 の対向電極 op は、走査線 gate の延設方向では、隣接する画素 7 の対向電極 op に対して厚いバンク層 bank を乗り越えて接続している。それでも、データ線 sig の延設方向を辿っていくと、各画素 7 の対向電極 op は、データ線 sig の端部で途切れ部分 off (バンク層 bank に起因する段差のない平坦部分) を介して、走査線 gate の延設方向で隣接する画素 7 の列と接続している。それ故、各画素 7 の対向電極 op は、バンク層 bank に起因する段差のない平坦部分を介して他の画素 7 の対向電極 op に接続しているといえ、いずれの画素 7 の対向電極 op も断線状態になることは

ない。

[その他の実施の形態]

なお、バンク層bank（絶縁膜）についてはレジスト膜、ポリイミド膜などの有機材料から構成した場合には厚い膜を容易に形成できるが、バンク層bank（絶縁膜）をCVD法あるいはSOG法で成膜したシリコン酸化膜あるいはシリコン窒化膜などの無機材料から構成した場合には、有機半導体膜43と接触した状態にあっても有機半導体膜43の変質を防止することができる。

また、保持容量capについては共通給電線comとの間に形成した構造の他、走査線gateと並列に形成した容量線との間に形成してもよい。

発明の利用可能性

以上説明したように、本発明に係るアクティブマトリクス型表示装置では、データ線と対向電極との間に厚い絶縁膜を介在させたので、データ線に容量が寄生することを防止できる。それ故、データ側駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。また、厚い絶縁膜の所定の位置に途切れ部分を構成し、この部分を平坦にしてある。従って、各領域毎の対向電極は平坦部分に形成された部分を介して電気的に接続するので、たとえ、絶縁膜に起因する段差によってこの部分で断線しても、絶縁膜の途切れ部分に相当する平坦部分を介して確実に電気的に接続している。よって、有機半導体膜の周りに厚い絶縁膜を形成して寄生容量などを抑えたとしても、絶縁膜の上層に形成する対向電極に断線が発生しないので、アクティブマトリクス型表示装置の表示品質および信頼性を向上することができる。

請求の範囲

1. 基板上に、複数の走査線と、該走査線の延設方向に対し
て交差する方向に延設された複数のデータ線と、該データ線と前記
5 走査線とによってマトリクス状に形成された複数の画素からなる表
示部とを有し、該画素の各々は、前記走査線を介して走査信号がゲ
ート電極に供給される薄膜トランジスタを含む導通制御回路と、画
素毎に形成された画素電極、該画素電極の上層側に積層された有機
半導体膜、および該有機半導体膜の上層側において少なくとも前記
10 表示部の全面に形成された対向電極を具備する薄膜発光素子とを備
え、前記データ線から前記導通制御回路を介して供給される画像信
号に基づいて前記薄膜発光素子が発光するアクティブマトリクス型
表示装置において、

前記有機半導体膜の形成領域は、前記対向電極の下層側に前記有
15 機半導体膜よりも厚く形成された絶縁膜で区画されているとともに、
該絶縁膜は、各画素毎の対向電極部分同士を当該絶縁膜に起因す
る段差のない平坦部分を介して接続させる途切れ部分を備えている
ことを特徴とするアクティブマトリクス型表示装置。

20 2. 請求の範囲第1項において、前記導通制御回路は、前記
走査信号がゲート電極に供給される第1の薄膜トランジスタ、およ
び該第1の薄膜トランジスタを介してゲート電極が前記データ線に
接続する第2の薄膜トランジスタを備え、

該第2の薄膜トランジスタと前記薄膜発光素子は、前記データ線
25 および走査線とは別に構成された駆動電流供給用の共通給電線と前
記対向電極との間に直列に接続していることを特徴とするアクティ
ブマトリクス型表示装置。

3. 請求の範囲第1項または第2項において、前記絶縁膜は、当該絶縁膜で区画された領域内に前記有機半導体膜をインクジェット法により形成する際に吐出液のはみ出しを防止するバンク層であることを特徴とするアクティブマトリクス型表示装置。

4. 請求の範囲第3項において、前記絶縁膜は、膜厚が1μm以上であることを特徴とするアクティブマトリクス型表示装置。

10 5. 請求の範囲第1項ないし第4項のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されることにより前記有機半導体膜の形成領域の周りを囲んでいるとともに、前記データ線および前記走査線の各延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

20 6. 請求の範囲第1項ないし第4項のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されることにより前記有機半導体膜の形成領域の周りを囲んでいるとともに、前記走査線の延設方向で隣り合う画素の間に相当する部分に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

25 7. 請求の範囲第1項ないし第4項のいずれかにおいて、前記絶縁膜は、前記データ線および前記走査線に沿って形成されることにより前記有機半導体膜の形成領域の周りを囲んでいるとともに、前記データ線の延設方向で隣り合う画素の間に相当する部分

に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

8. 請求の範囲第1項ないし第4項のいずれかにおいて、前

5 記絶縁膜は、前記データ線に沿ってストライプ状に形成され、該形成方向の少なくとも一方の端部に前記途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

9. 請求の範囲第5項ないし第8項のいずれかにおいて、前

10 記画素電極の形成領域のうち、前記導通制御回路の形成領域と重なる領域は前記絶縁膜で覆われていることを特徴とするアクティブマトリクス型表示装置。

10. 請求の範囲第1項ないし第9項のいずれかにおいて、前

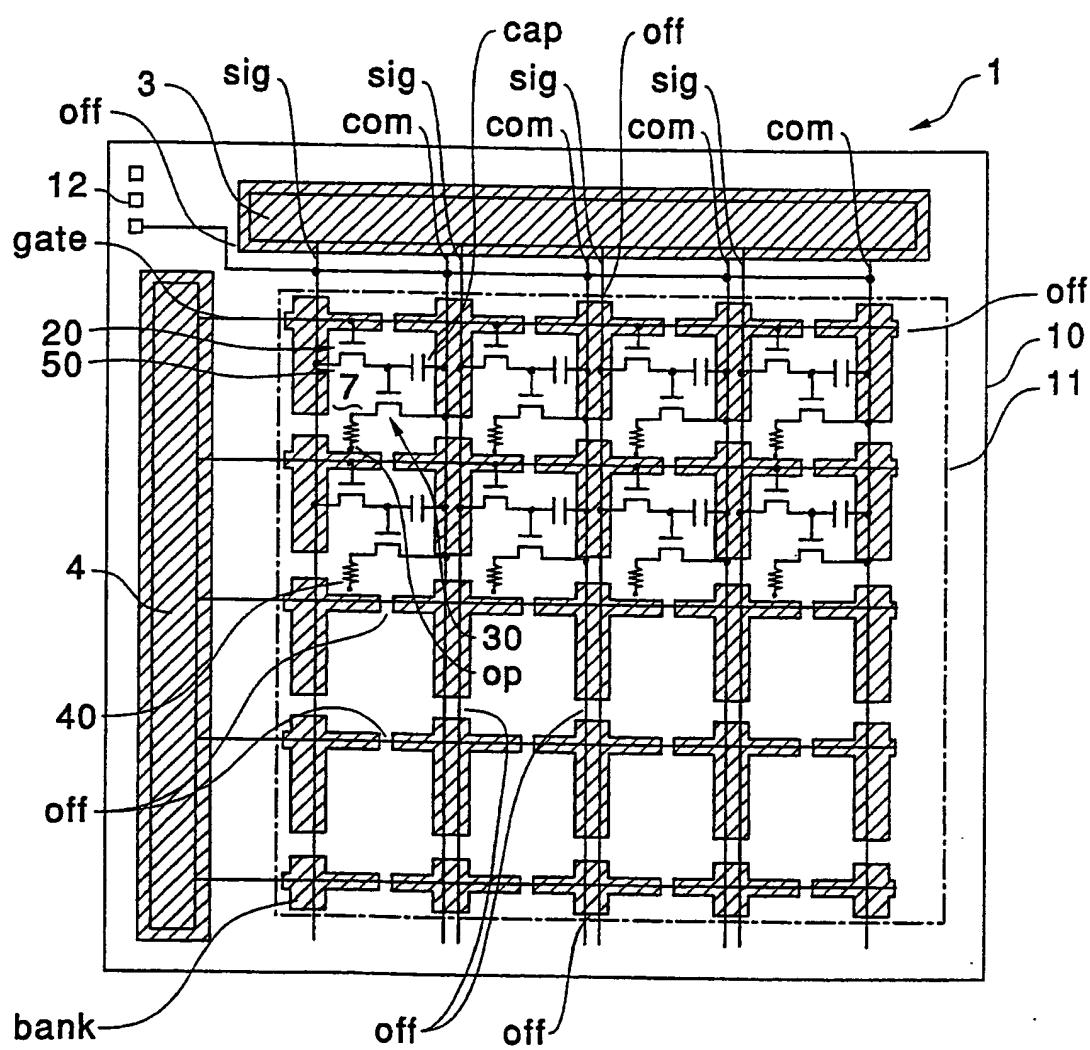
15 記表示部の周囲には、前記データ線を介してデータ信号を供給するデータ側駆動回路、および前記走査線を介して走査信号を供給する走査側駆動回路を有し、該走査側駆動回路および前記データ側駆動回路の上層側にも前記絶縁膜が形成されているとともに、当該絶縁膜は、前記走査側駆動回路の形成領域と前記データ側駆動回路の形成領域との間に相当する位置には前記対向電極を前記表示部側と基板外周側とを当該絶縁膜に起因する段差のない平坦部分を介して接続させる途切れ部分を備えていることを特徴とするアクティブマトリクス型表示装置。

25 11. 請求の範囲第1項ないし第10項のいずれかにおいて、

前記絶縁膜は、有機材料からなることを特徴とするアクティブマトリクス型表示装置。

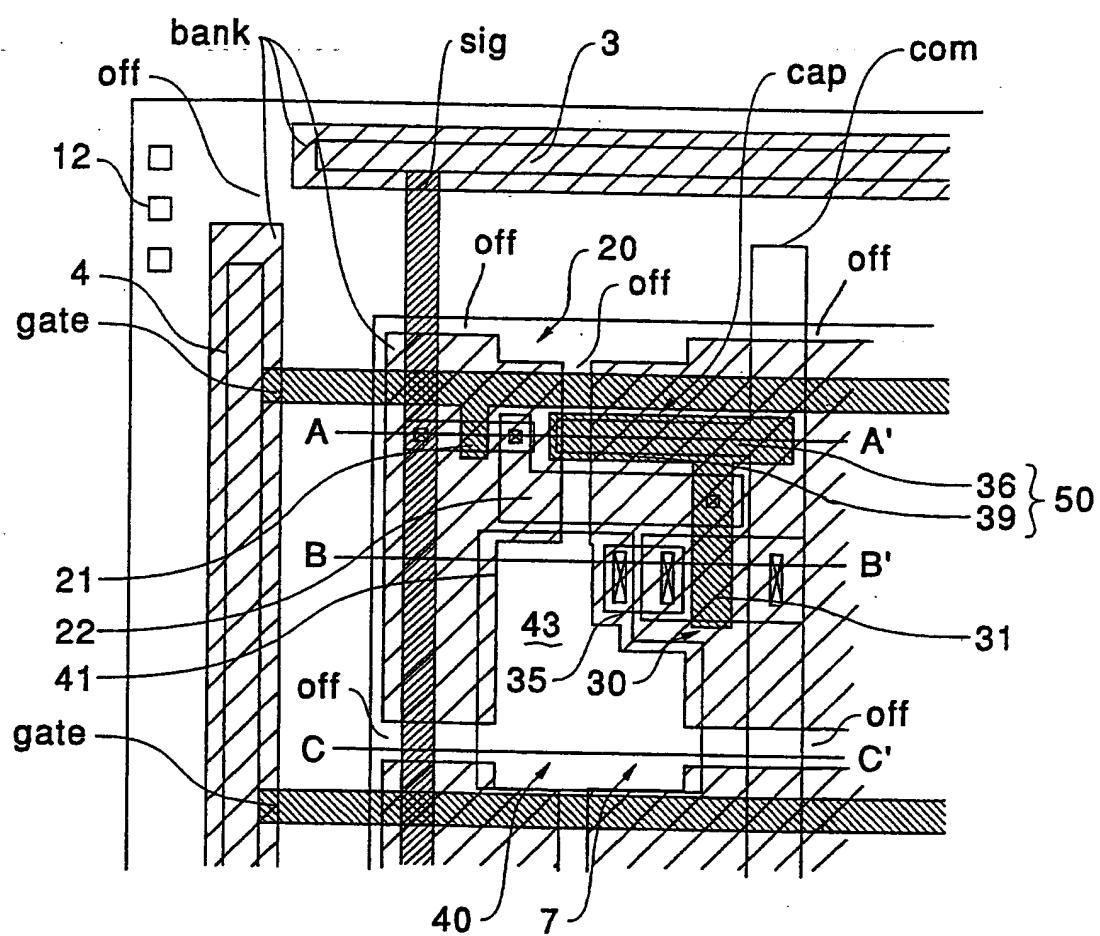
12. 請求の範囲第1項ないし第10項のいずれかにおいて、
前記絶縁膜は、無機材料からなることを特徴とするアクティブマト
リクス型表示装置。

第1図



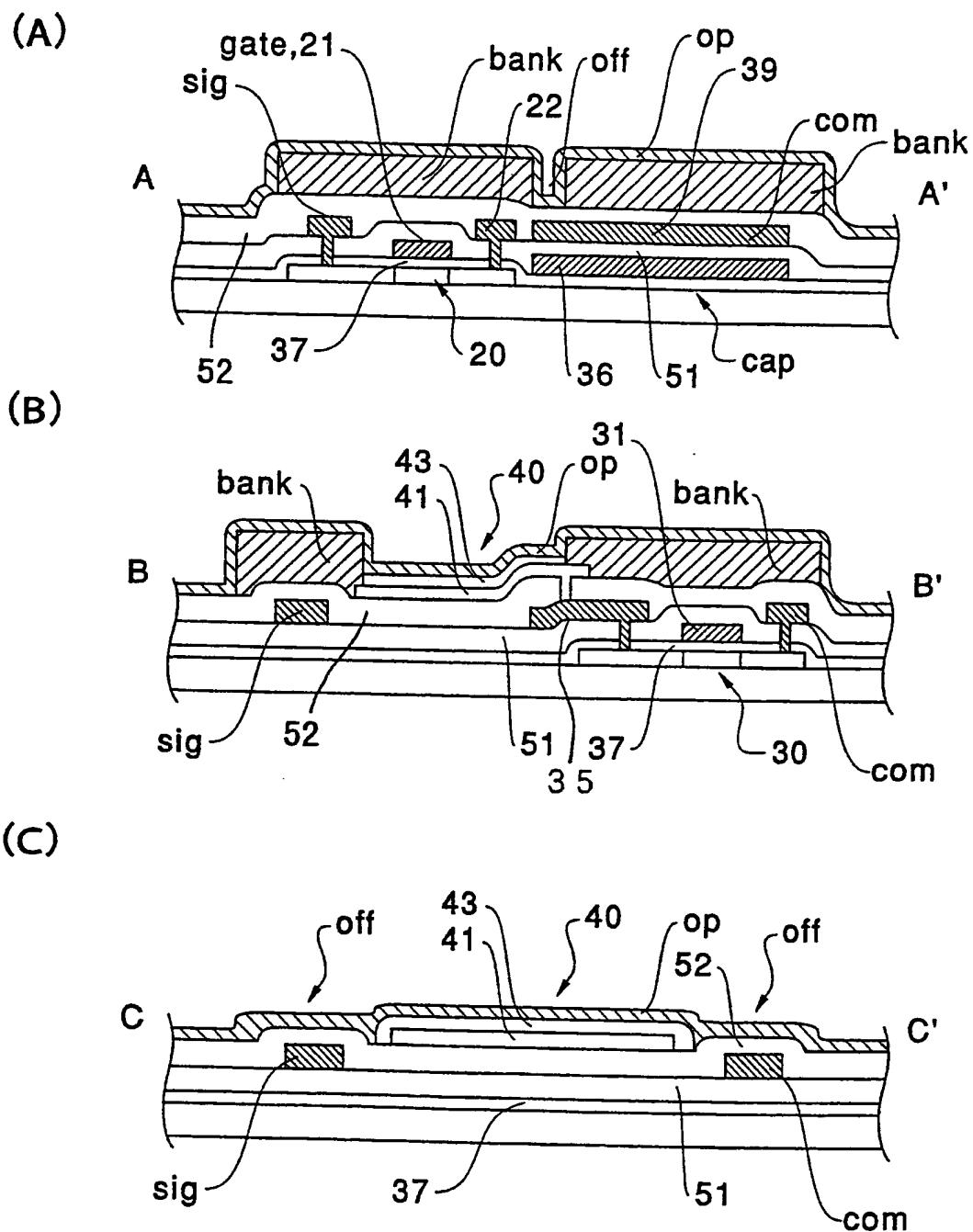
2/16

第2図



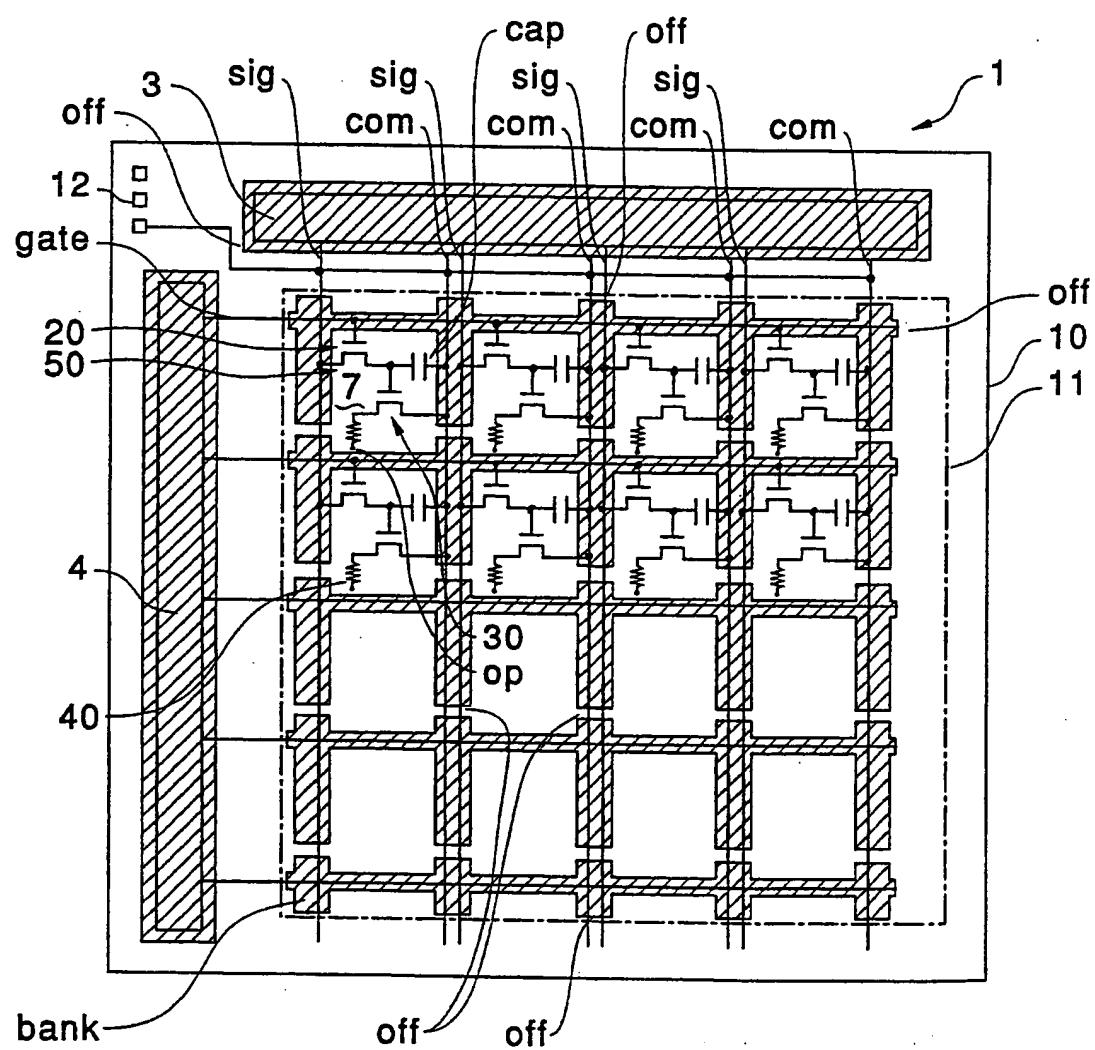
3/16

第3図



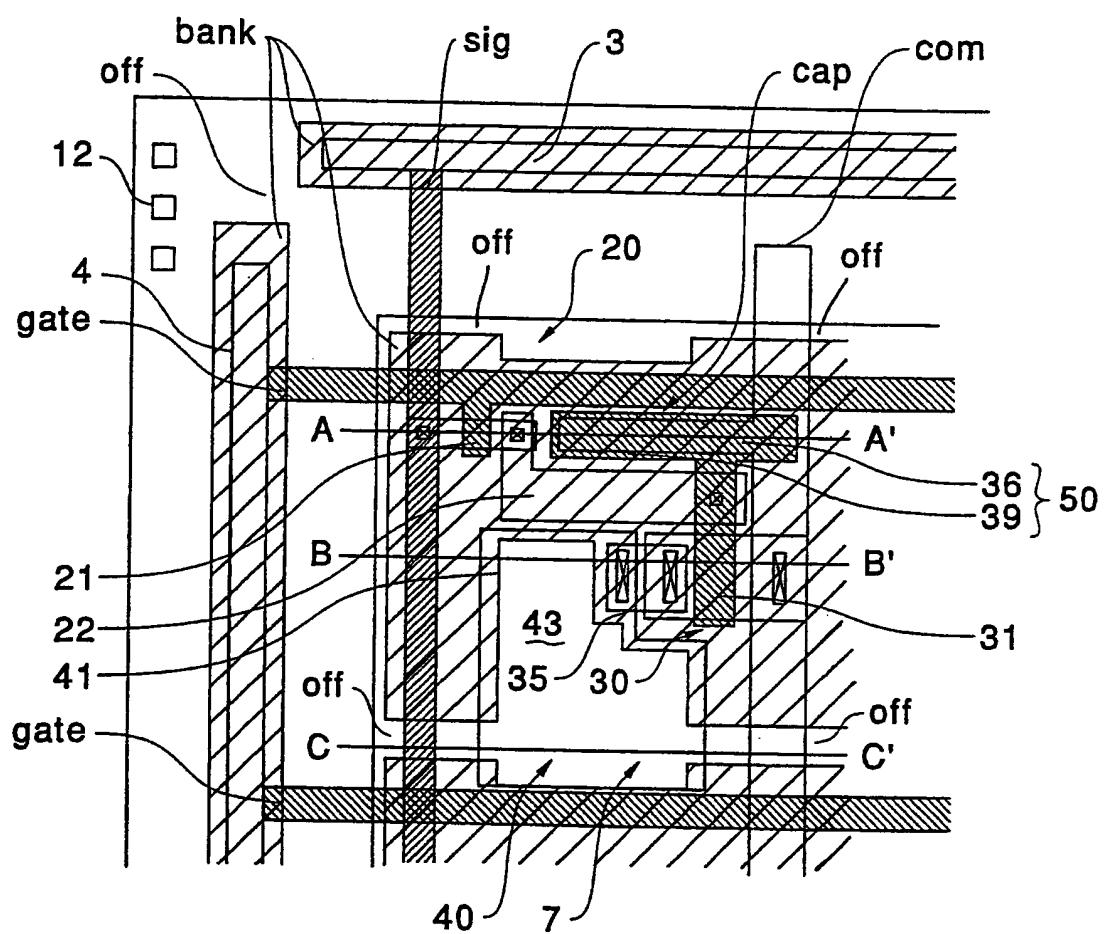
4/16

第4図



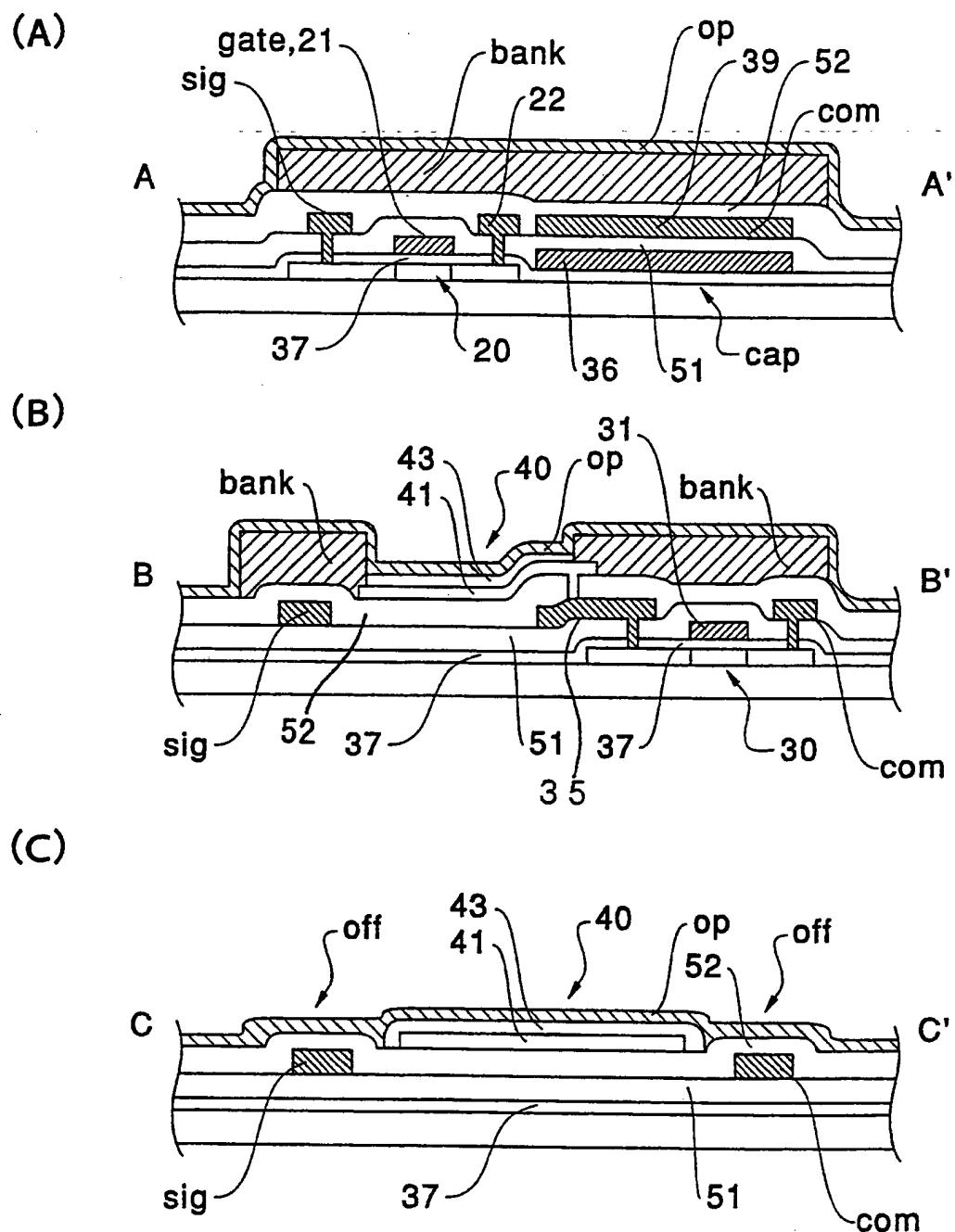
5/16

第5図



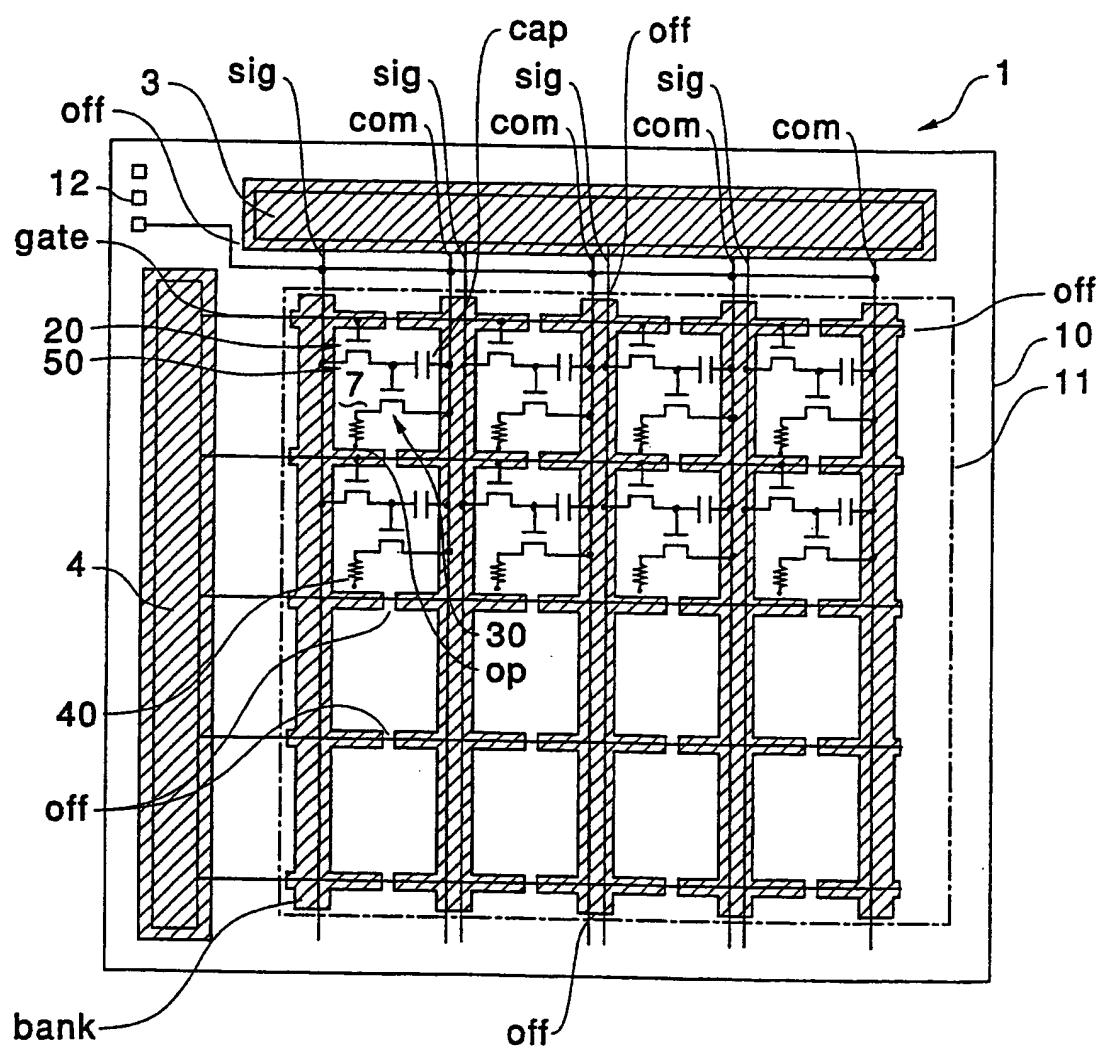
6/16

第6図



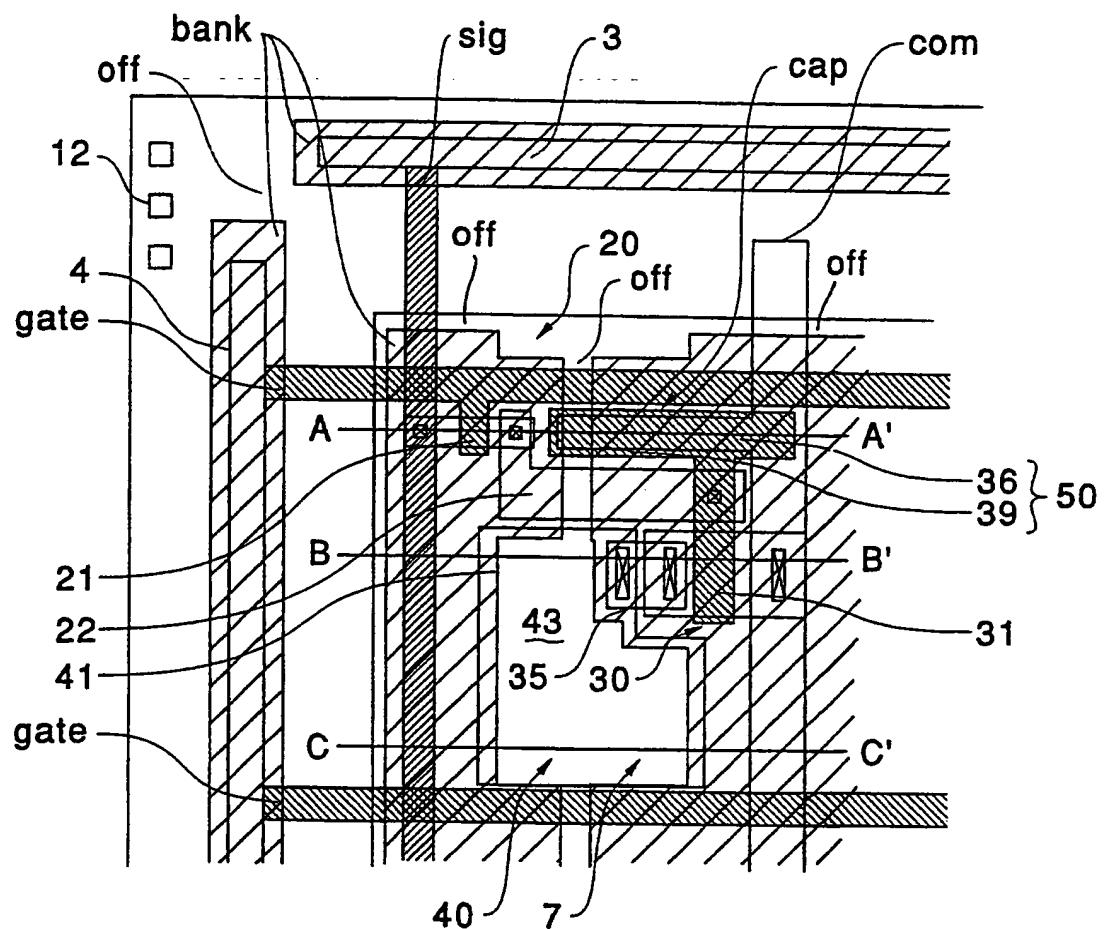
7/16

第7図



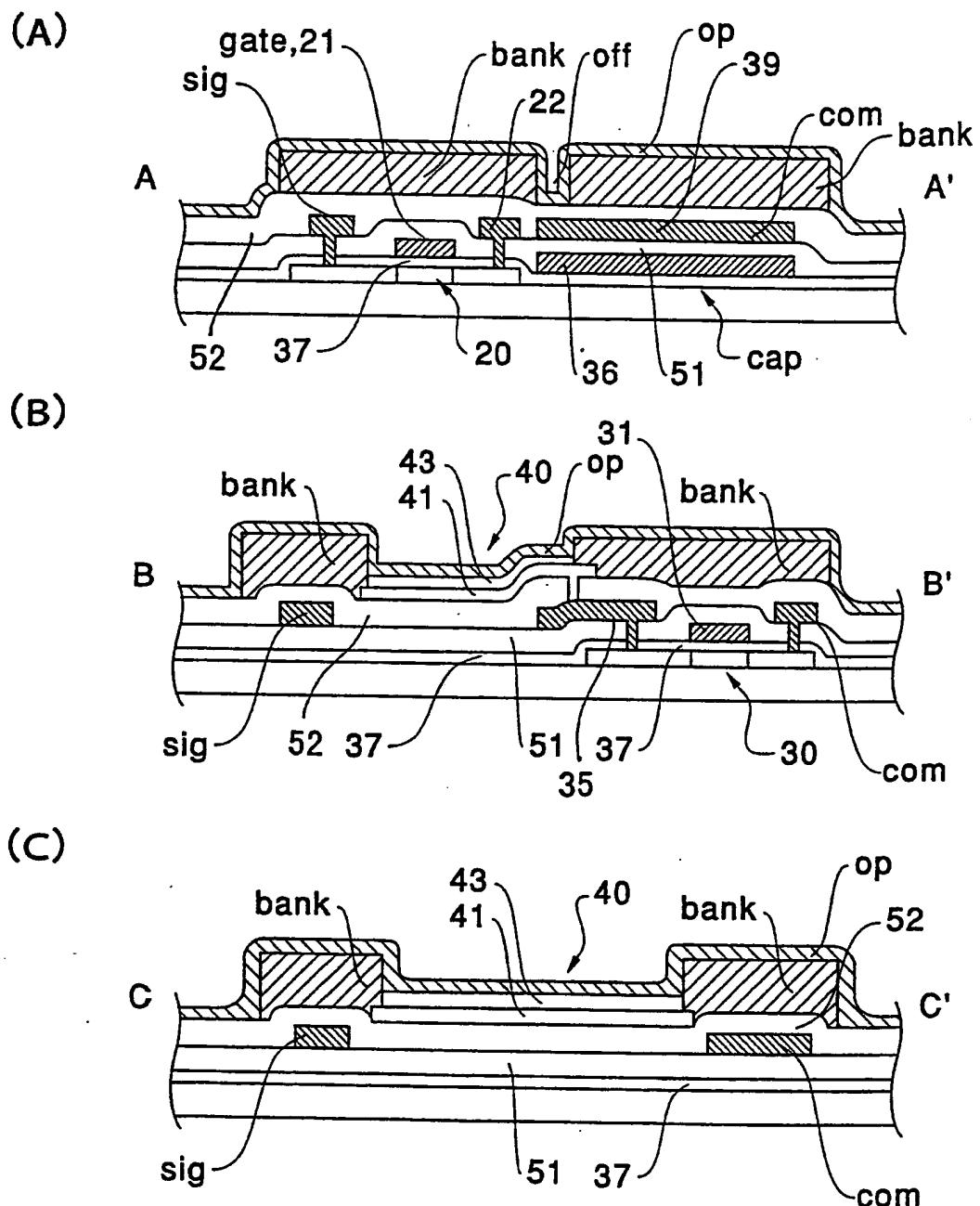
8/16

第8図



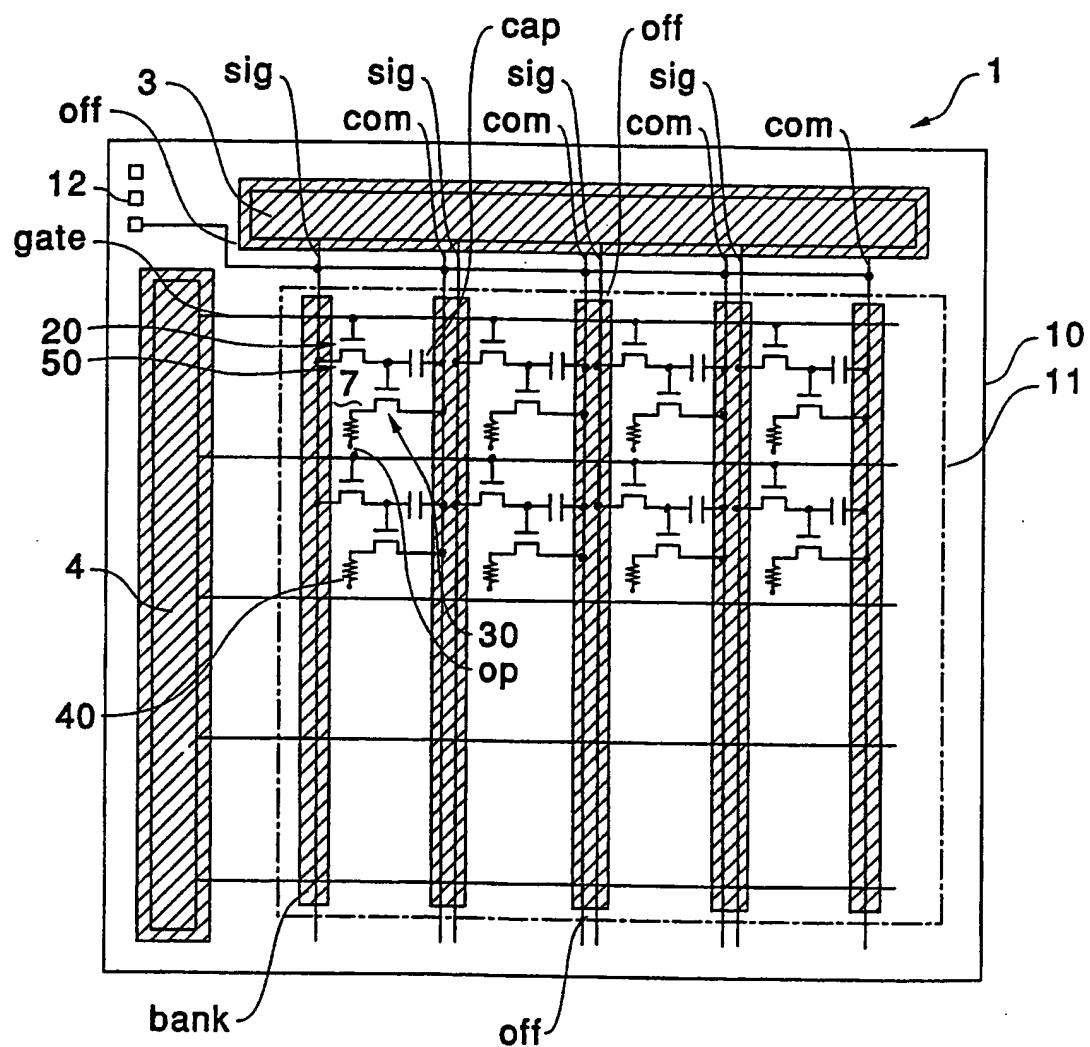
9/16

第9図



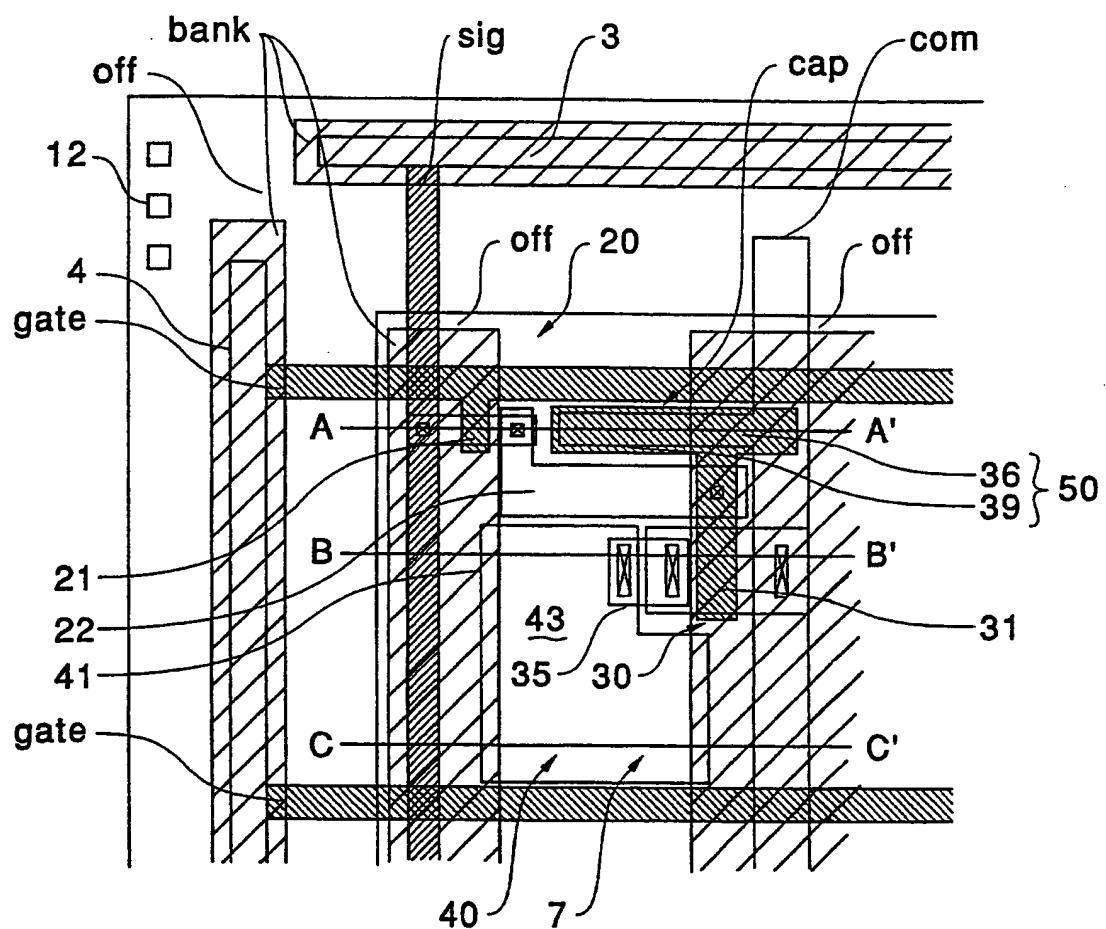
10/16

第10図



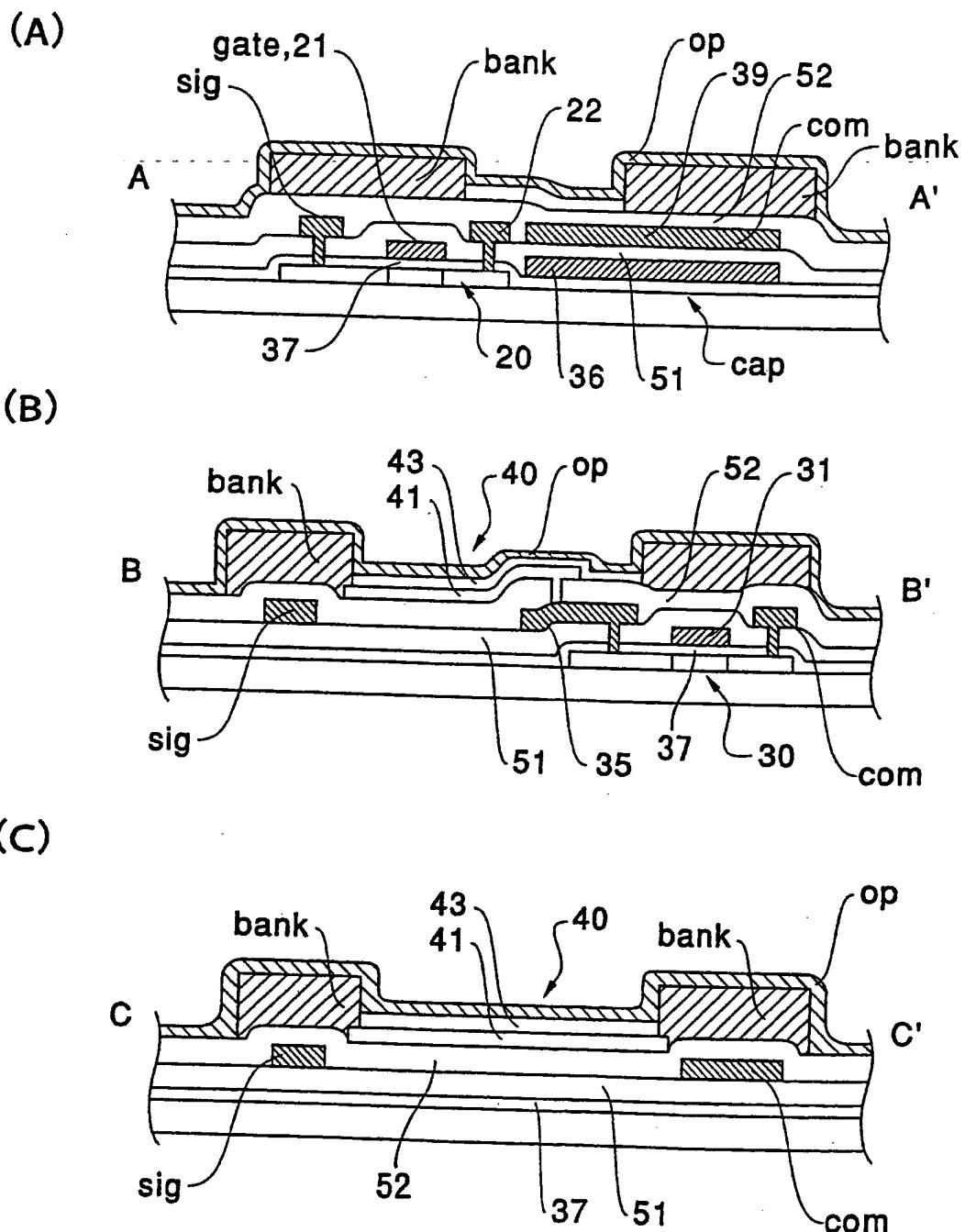
11/16

第11図



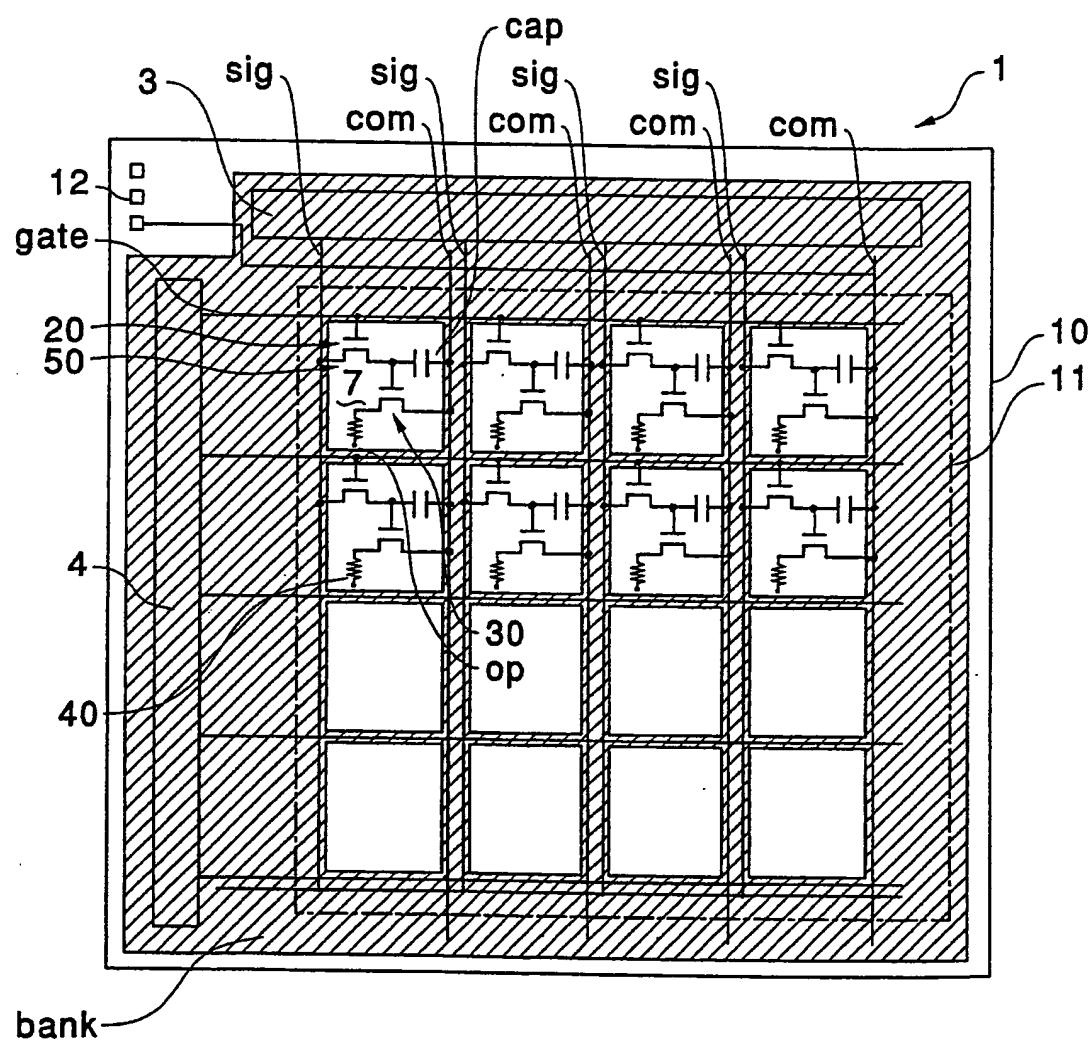
12/16

第12図



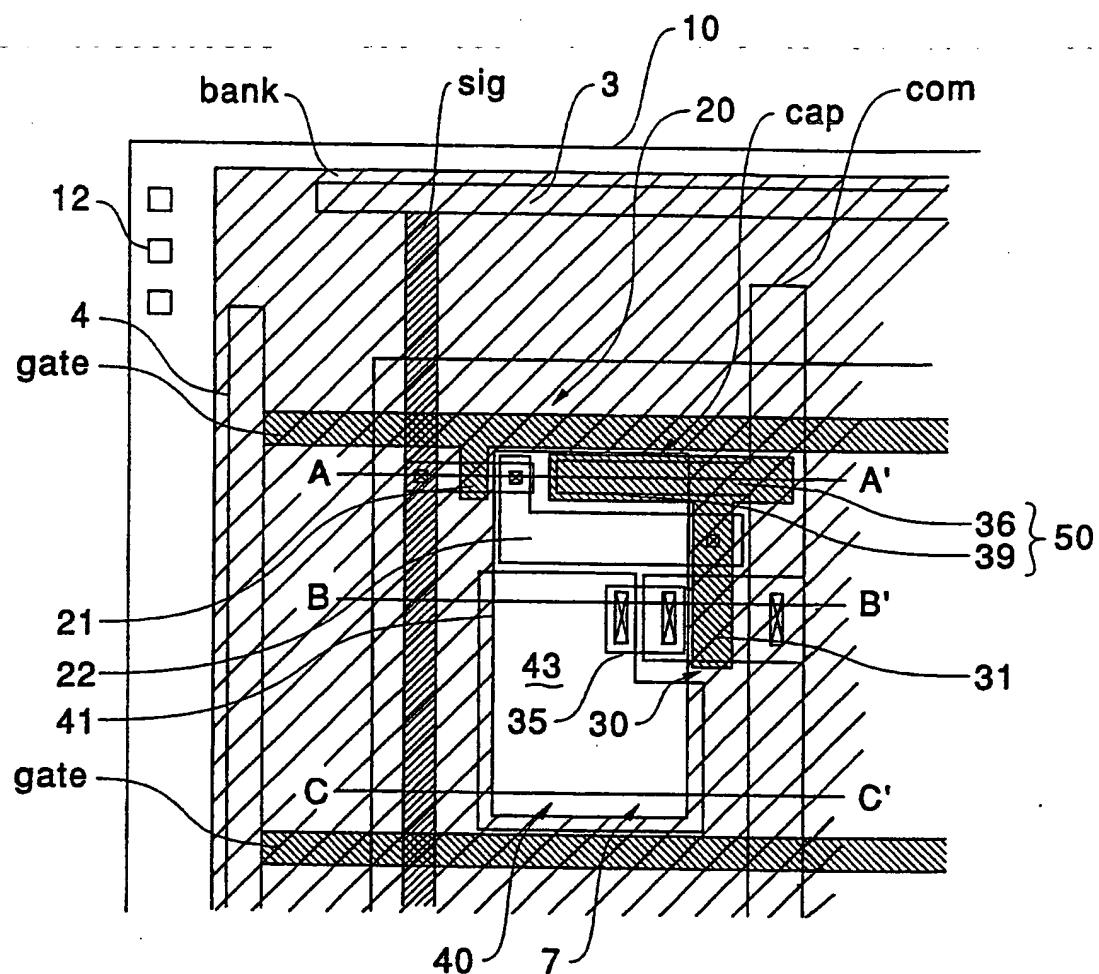
13/16

第13図



14/16

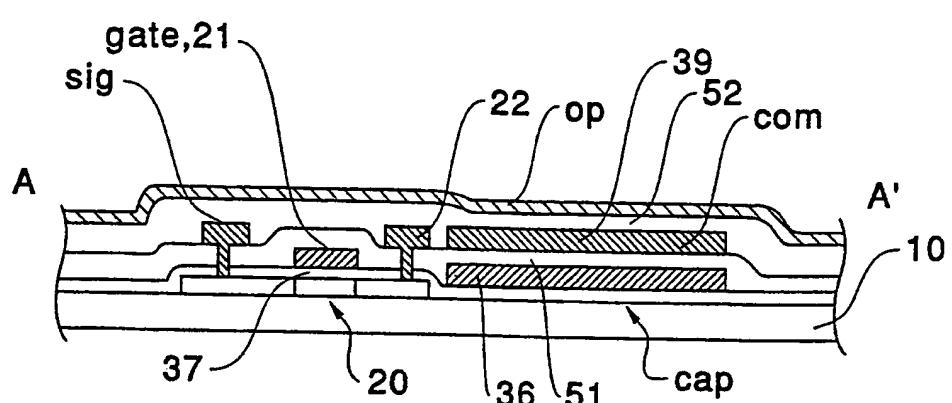
第14図



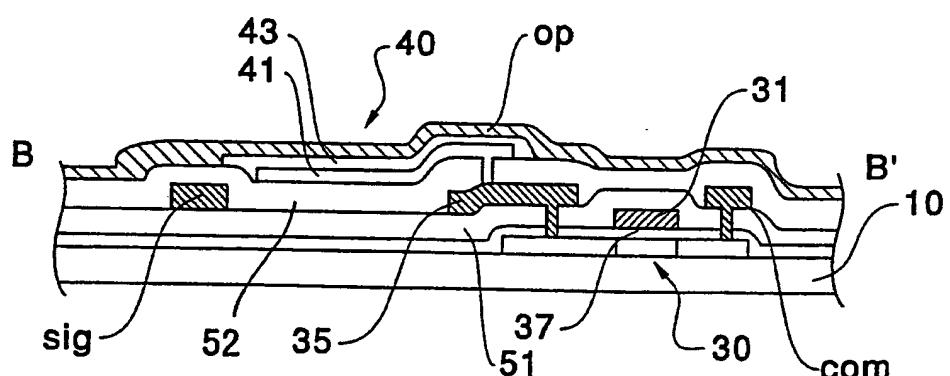
15/16

第15図

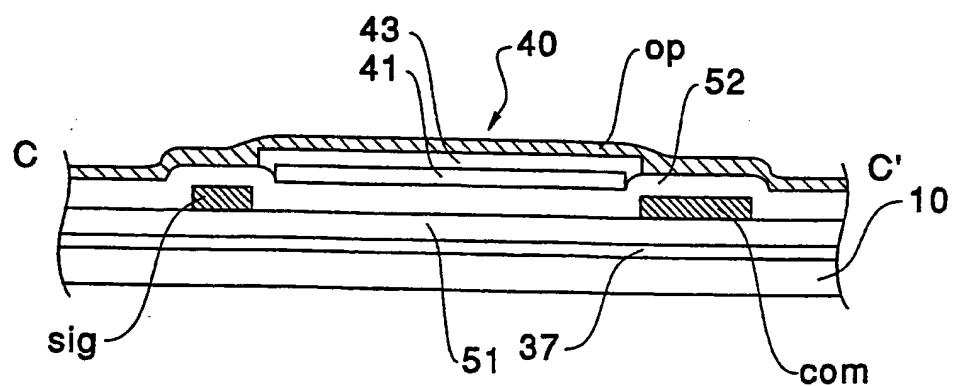
(A)



(B)



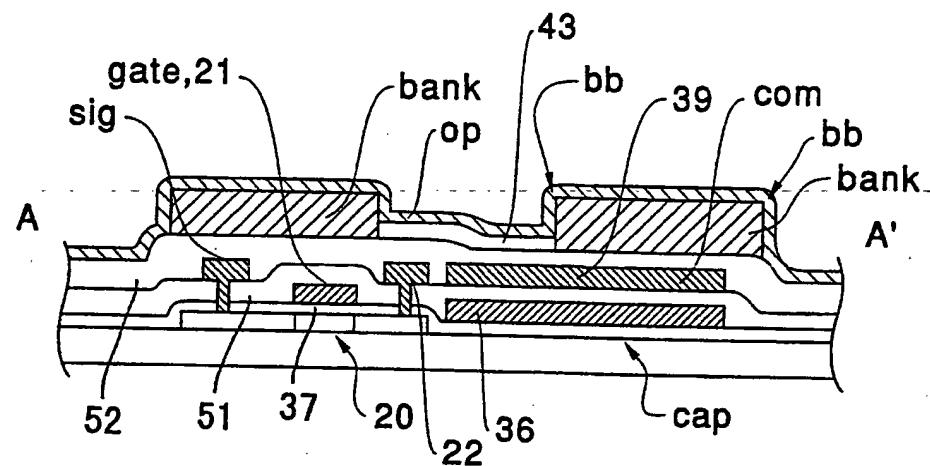
(C)



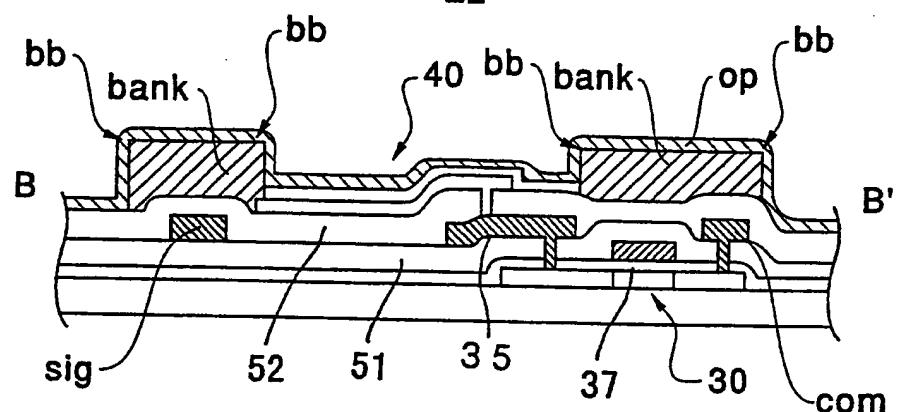
16/16

第16図

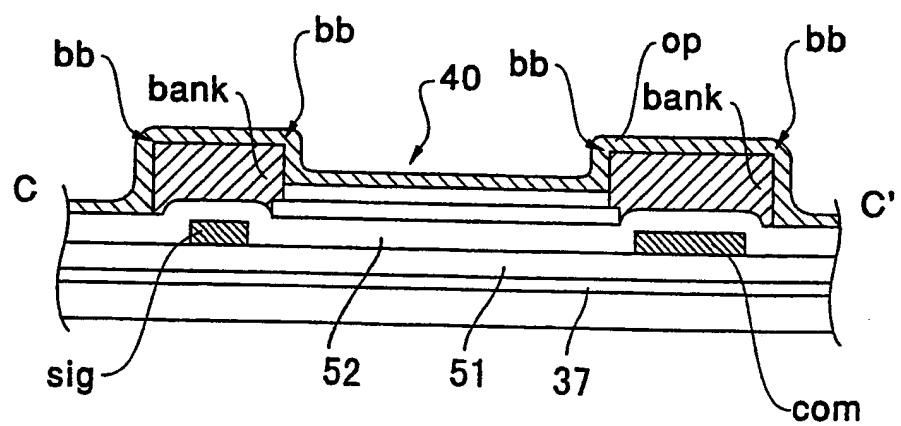
(A)



(B)



(C)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/03663

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G09F9/30, H01L33/00, H05B33/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G09F9/30, 9/33, H01L33/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1995
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2-66867, A (Matsushita Electric Industrial Co., Ltd.), 6 March, 1990 (06. 03. 90) (Family: none)	1-12
A	JP, 52-64891, A (Westinghouse Electric Co., Ltd.), 28 May, 1977 (28. 05. 77) & US, 4042854, A & US, 4135959, A	1-12
A	JP, 9-161970, A (Stanley Electric Co., Ltd.), 20 June, 1997 (20. 06. 97) (Family: none)	1-12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 5 November, 1998 (05. 11. 98)	Date of mailing of the international search report 17 November, 1998 (17. 11. 98)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

国際調査報告

国際出願番号 PCT/JP98/03663

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl. G09F9/30, H01L33/00, H05B33/22

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl. G09F9/30, 9/33, H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1995年
 日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 2-66867, A (松下電器産業株式会社) 6. 3月. 1990 (06. 03. 90) (ファミリーなし)	1-12
A	JP, 52-64891, A (ウエスチングハウス・エレクトリック・コーポレーション) 28. 5月. 1977 (28. 05. 77) &US, 4042854, A&US, 4135959, A	1-12
A	JP, 9-161970, A (スタンレー株式会社) 20. 6月. 1997 (20. 06. 97) (ファミリーなし)	1-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」先行文献ではあるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 11. 98

国際調査報告の発送日

17.11.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

加藤 恵一

5H 7923

電話番号 03-3581-1101 内線 3532

THIS PAGE BLANK (USPTO)